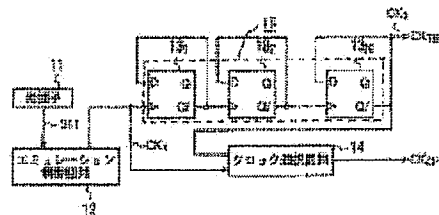


Publication number: JP11259329 (A)
Publication date: 1999-09-24
Inventor(s): NAGATOMO KENICHIRO
Applicant(s): OKI MICRO DESIGN KK; OKI ELECTRIC IND CO LTD
Classification:
- international: G06F11/22; G06F1/06; G06F11/22; G06F1/06; (IPC-1-7): G06F11/22; G06F1/06
- European:
Application number: JP19980060766 19980312
Priority number(s): JP19980060766 19980312

PROBLEM TO BE SOLVED: To ensure reproduction of a program even when an emulation is stopped and started again in an in-circuit emulation a microcontroller having dual clocks.

SOLUTION: An oscillating signal S11 generated by an oscillator 11 is inputted to a clock selector circuit 14 as a clock to be substituted with a high-speed clock that a microcontroller has, and applied to a clock frequency divider circuit 13. The clock frequency divider circuit 13 divides the frequency of the oscillating signal S11, generates a low-speed clock CK3, applies it to an object circuit as well as to the clock selector circuit 14, thereby clocks CK3 and CK4 are synchronized. Thus, even when an emulation is stopped and restarted by an emulation control circuit 12 while the clock selector circuit 14 selects the clock CK4, the timing of the clocks CK3 and CK4 is not deviated even after restart.



<http://v3.espacenet.com/publicationDetails/biblio?DB=EPODOC&adjacent=true&locale=e...> 7/15/2009

(51) Int.Cl.⁶G 0 6 F 11/22
1/06

識別記号

3 4 0

F I

G 0 6 F 11/22
1/04

3 4 0 A

3 1 0 A

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願平10-60766

(22) 出願日 平成10年(1998) 3月12日

(71) 出願人 591049893

株式会社 沖マイクロデザイン
宮崎県宮崎郡清武町大字木原7083番地

(71) 出願人 000000295

沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72) 発明者 長友 憲一郎

宮崎県宮崎市大和町9番2号 株式会社沖
マイクロデザイン宮崎内

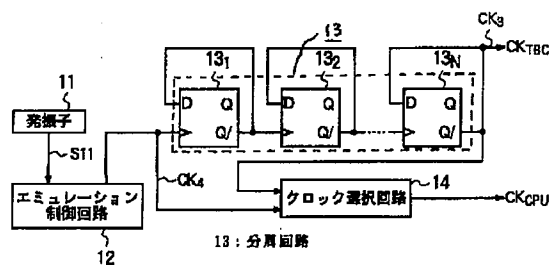
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 デュアルクロックを持つマイクロコントローラのインサーキットエミュレータ

(57) 【要約】

【課題】 デュアルクロックを持つマイクロコントローラのインサーキットエミュレータにおいて、エミュレーションの中断と再開を行っても、プログラムの再現性が確実にする。

【解決手段】 発振子11の生成する発振信号S11は、マイクロコントローラの持つ高速なクロックの代用となるクロックとしてクロック選択回路14に入力されると共に、クロック分周回路13に与えられる。分周回路13は発振信号S11を分周して低速のクロックCK₃を生成し、対象回路に与えると共にクロック選択回路14に与える。よって、クロックCK₃及びCK₄は同期する。そのため、エミュレーション制御回路12で、クロック選択回路14がクロックCK₄を選択しているときにエミュレーションの中断と再開を行っても、再開後のクロックCK₃及びCK₄のタイミングがずれない。



本発明の第1の実施形態のインサーキットエミュレータ

【特許請求の範囲】

【請求項1】 第1のクロックと該第1のクロックよりも周波数が高い第2のクロックとからなる非同期な2系統のクロックを発生するマイクロコントローラのエミュレーションを行うときに用いられ、該マイクロコントローラの動作を代行し、該2系統のクロックの代用となる第3及び第4のクロックを対象回路に与える機能を有するデュアルクロックを持つマイクロコントローラのインサートキットエミュレータにおいて、

所定の周波数の発振信号を出力する発振子と、
前記エミュレーションを実行するときに前記発振信号を通し、該エミュレーションを停止するときに該発振信号を遮断するエミュレーション制御回路と、
前記エミュレーション制御回路を介した前記発振信号を分周し、前記第1のクロックの代用となる前記第3のクロックを生成して前記対象回路に与える分周回路と、
前記エミュレーション制御回路を介した前記発振信号を前記第2のクロックの代用となる前記第4のクロックとして入力すると共に前記第3のクロックを入力し、該第3または第4のクロックのいずれか一方を選択して前記対象回路に与えるクロック選択回路とを、備えたことを特徴とするデュアルクロックを持つマイクロコントローラのインサートキットエミュレータ。

【請求項2】 請求項1記載の発振子及びエミュレーション制御回路と、

前記エミュレーション制御回路を介した発振信号を分周し、分周比の異なる複数の分周信号を生成する分周手段と、

前記分周手段が生成した前記複数の分周信号から前記第1のクロックの代用となる前記第3のクロックを選択して前記対象回路に与える第1の周波数選択手段と、

前記分周手段が生成した前記複数の分周信号から前記第2のクロックの代用となる前記第4のクロックを選択する第2の周波数選択手段と、

前記第3及び第4のクロックを入力し、該第3または第4のクロックのいずれか一方を選択して前記対象回路に与えるクロック選択回路とを、備えたことを特徴とするデュアルクロックを持つマイクロコントローラのインサートキットエミュレータ。

【請求項3】 請求項1記載の発振子及びエミュレーション制御回路と、

前記第1及び第2のクロックにそれぞれ対応する非同期な第5及び第6のクロックを発生する非同期クロック発生手段と、

前記エミュレーション制御回路を介した前記発振信号を分周し、前記第1のクロックの代用となる第3のクロックを生成する分周回路と、

前記第3及び第5のクロックを入力し、該第3または第5のクロックを選択して前記対象回路に与える第1のクロック選択回路と、

前記エミュレーション制御回路を介した前記発振信号を前記第2のクロックの代用となる第4のクロックとして入力すると共に前記第6のクロックを入力し、前記第1のクロック選択回路が前記第3のクロックを選択しているときには該第4のクロックを選択し、該第1のクロック選択回路が前記第5のクロックを選択しているときには該第6のクロックを選択して出力する第2のクロック選択回路と、

前記第1のクロック選択回路から前記第3または第5のクロックを入力すると共に前記第2のクロック選択回路から前記第4または第6のクロックを入力し、該第3または第4のクロックの選択、或いは該第5または第6のクロックの選択を行って前記対象回路に与える第3のクロック選択回路とを、備えたことを特徴とするデュアルクロックを持つマイクロコントローラのインサートキットエミュレータ。

【請求項4】 請求項2記載の発振子、エミュレーション制御回路及び分周手段と、

前記分周手段が生成した複数の分周信号から前記第1のクロックの代用となる前記第3のクロックを選択する第1の周波数選択手段と、

前記分周手段が生成した複数の分周信号から前記第2のクロックの代用となる第4のクロックを選択する第2の周波数選択手段と、

前記第1及び第2のクロックにそれぞれ対応する非同期な第5及び第6のクロックを発生する非同期クロック発生手段と、

前記第3及び第5のクロックを入力し、該第3または第5のクロックを選択して前記対象回路に与える第1のクロック選択回路と、

前記第4のクロックを入力すると共に前記第6のクロックを入力し、前記第1のクロック選択回路が前記第3のクロックを選択しているときには該第4のクロックを選択し、該第1のクロック選択回路が前記第5のクロックを選択しているときには該第6のクロックを選択して出力する第2のクロック選択回路と、

前記第1のクロック選択回路から前記第3または第5のクロックを入力すると共に前記第2のクロック選択回路から前記第4または第6のクロックを入力し、該第3または第4のクロックの選択、或いは該第5または第6のクロックの選択を行って前記対象回路に与える第3のクロック選択回路とを、備えたことを特徴とするデュアルクロックを持つマイクロコントローラのインサートキットエミュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、非同期な2系統のクロックを発生するデュアルクロックを持つマイクロコントローラのエミュレーションを行う際に用いられるデュアルクロックを持つマイクロコントローラのインサート

キットエミュレータ（以下、単に、インサーキットエミュレータという）に関するものである。

【0002】

【従来の技術】図2は、従来のインサーキットエミュレータの要部を示す構成図である。デュアルクロックを持つマイクロコントローラは、低速な第1のクロック CK_1 と高速な第2のクロック CK_2 とを発生する。これらのクロック CK_1 、 CK_2 は非同期であり、該クロック CK_1 は、タイムベースカウンタやタイマ等の対象回路の時間を測定する部分に与えられる。また、対象回路の命令を実行する部分には、処理スピードや消費電流の関係により、その低速なクロック CK_1 または高速なクロック CK_2 が選択されて与えられる。このようなマイクロコントローラのプログラム開発に用いられるインサーキットエミュレータは、該マイクロコントローラと同等の動作を行うと共に、プログラムの実行を中断させてマイクロコントローラの内部状態を参照したり、実行の履歴をとることにより、プログラムのデバックを行う。マイクロコントローラの動作を代行する従来のインサーキットエミュレータは、そのクロック CK_1 を発生する発振子1と、クロック CK_2 を発生する発振子2とを備えている。発振子1の出力側は、エミュレーション制御回路3と、2入力のクロック選択回路4の一方の入力の端子に接続されている。発振子2の出力側は、クロック選択回路4の他方の入力端子とに接続されている。クロック選択回路4の出力側がエミュレーション制御回路5に接続されている。

【0003】図3は、図2の動作を示すタイムチャートである。この図3を参照しつつ、図2のインサーキットエミュレータを用いたエミュレーションを説明する。発振子1は、クロック CK_1 を発生し、発振子2が該クロック CK_1 よりも周波数が高いクロック CK_2 を発生する。クロック選択回路4は、クロック CK_1 または CK_2 を選択してエミュレータ制御回路5へ出力する。エミュレーション制御回路3は、エミュレーションを継続する期間に、クロック CK_1 をタイムベースカウンタ用のクロック CK_{TBC} として出力し、エミュレーションを中断する場合には、該クロック CK_{TBC} の出力を停止する。エミュレーション制御回路5は、エミュレーションを継続する期間に、クロック選択回路4から与えられたクロック CK_1 または CK_2 を、対象回路の命令を実行する部分に対するクロック CK_{CPU} として出力し、エミュレーションを中断するときには、該クロック CK_{CPU} の出力を停止する。

【0004】

【発明が解決しようとする課題】しかしながら、従来のインサーキットエミュレータでは、次のような課題があった。クロック選択回路4の選択により、クロック CK_{CPU} が高速なクロック CK_2 になっている場合において、プログラムのデバックのためにエミュレーションの

中断と再開を行う場合を考えると、この中断と再開は、高速なクロック CK_2 の立上りまたは立下りに同期して行われる。低速のクロック CK_1 は、クロック CK_2 に対して同期が取れてないため、例えば再開後に該クロック CK_1 は高速のクロック CK_2 の位相に関係なく、立上って立下がる。そのため、この低速のクロック CK_1 に相当するクロック CK_{TBC} を入力するタイムベースカウンタやタイマの設定値が変化し、本来とは異なるタイミングで割り込みが発生する。図3を例にとって説明すると、クロック CK_{TBC} の1周期の期間は、クロック CK_2 が例えば4パルス含まれる期間 t_1 であり、本来あるべきクロック CK_{TBC} は、中断の直前の期間 t_2 と直後の期間 t_3 との合計（ $t_2 + t_3$ ）が周期の期間 t_1 と等しいのが理想である。ところが、実際には、中断の直前の期間 t_2 と直後の期間 t_4 との合計（ $t_2 + t_4$ ）が、期間 t_1 よりも短くなり、本来あるべきクロック CK_{TBC} に対して期間 t_5 のずれが生じる。なお、合計（ $t_2 + t_4$ ）の期間が、期間 t_1 よりも長くなる場合もある。そのため、プログラムをデバックするために、中断と再開を繰り返す場合には、割り込みタイミングがずれるものとして評価すると共に、最終的にはプログラム全体を中断せず実行させて動作確認をする必要があった。

【0005】

【課題を解決するための手段】前記課題を解決するために、本発明のうちの第1の発明は、第1のクロックとこの第1のクロックよりも周波数が高い第2のクロックとからなる非同期な2系統のクロックを発生するマイクロコントローラのエミュレーションを行うときに用いられ、マイクロコントローラの動作を代行し、その2系統のクロックの代用となる第3及び第4のクロックを対象回路に与える機能を有するインサーキットエミュレータにおいて、次のような発振子、エミュレーション制御回路、分周回路、及びクロック選択回路を備えている。前記発振子は、所定の周波数の発振信号を出力するものである。エミュレーション制御回路は、エミュレーションを実行するときに発振信号を通し、エミュレーションを停止するときに発振信号を遮断する機能を有している。分周回路は、エミュレーション制御回路を介して入力した発振信号を分周し、第1のクロックの代用となる第3のクロックを生成して対象回路に与える回路である。クロック選択回路は、エミュレーション制御回路を介した発振信号を第2のクロックの代用となる第4のクロックとして入力すると共に第3のクロックを入力し、第3または第4のクロックのいずれか一方を選択して対象回路に与える回路である。

【0006】このような構成を採用したことにより、第3のクロックと第4のクロックとは分周回路によって同期するようになる。ここで、マイクロコントローラのプログラムのデバックを行うためにエミュレーションの中

断を行う場合には、エミュレーション制御回路によって発振子の出力する発振信号が分周回路に与えられず、分周回路は、中断の直前の状態を維持したまま分周動作を停止する。エミュレーションを再開すると、エミュレーション制御回路が発振信号を分周回路に与える。これにより、分周回路が分周動作を再開するが、中断の状態からその分周動作を開始するので、第3及び第4のクロックの同期状態が崩れない。このような第3及び第4のクロックが与えられた対象回路は、中断の有り無しにかかわらず、第3及び第4のクロックのタイミングに応じた動作を行う。従って前記課題を解決できるのである。

【0007】第2の発明は、インサークットエミュレータにおいて、第1の発明と同様の発振子及びエミュレーション制御回路を備えると共に、次のような分周手段、第1の周波数選択手段、第2の周波数選択手段及びクロック選択回路を設けている。前記分周手段は、エミュレーション制御回路を介した発振信号を分周し、分周比の異なる複数の分周信号を生成する手段である。第1の周波数選択手段は、第1のクロックの代用となる第3のクロックを分周手段が生成した複数の分周信号から選択して対象回路に与える手段である。第2の周波数選択手段は、第2のクロックの代用となる第4のクロックを分周手段が生成した複数の分周信号から選択する手段である。クロック選択回路は、第3及び第4のクロックを入力し、これら第3または第4のクロックのいずれか一方を選択して前記対象回路に与える回路である。このような構成を採用したことにより、分周手段によって複数の分周信号が生成され、第1及び第2の周波数選択手段によって第3及び第4のクロックが、複数の分周信号から選択される。そのため、第3及び第4のクロックは第1の発明と同様に同期し、この同期状態は、エミュレーションの中断と再開では変化しない。また、第3及び第4のクロックは、分周比が異なる分周信号から選択できるので、該第3及び第4のクロックの周波数の設定が可変になる。

【0008】第3の発明は、インサークットエミュレータにおいて、第1の発明と同様の発振子及びエミュレーション制御回路を備えると共に、次のような非同期クロック発生手段、分周回路及び第1～第3のクロック選択回路を設けている。前記非同期クロック発生手段は、第1及び第2のクロックにそれぞれ対応する非同期な第5及び第6のクロックを発生するものである。分周回路は、エミュレーション制御回路を介した発振信号を分周し、第1のクロックの代用となる第3のクロックを生成する回路である。第1のクロック選択回路は、第3のクロックと第5のクロックとを入力し、第3または第5のクロックを選択して対象回路に与える機能を有している。第2のクロック選択回路は、エミュレーション制御回路を介した発振信号を第2のクロックの代用となる第4のクロックとして入力すると共に第6のクロックを入

力し、第1のクロック選択回路が第3のクロックを選択しているときにはその第4のクロックを選択し、第1のクロック選択回路が第5のクロックを選択しているときにはその第6のクロックを選択して出力する機能を有している。

【0009】第3のクロック選択回路は、第1のクロック選択回路から第3または第5のクロックを入力すると共に第2のクロック選択回路から第4または第6のクロックを入力し、これらの第3または第4のクロックの選択、或いは第5または第6のクロックの選択を行って対象回路に与える回路である。このような構成を採用したことにより、分周回路により、第1の発明と同様に第3のクロックが生成される。第3及び第4のクロックは同期したものであるが、非同期クロック発生手段から出力される第5及び第6のクロックは非同期である。第1のクロック選択回路が第3のクロックを選択して対象回路に与えているときには、第2のクロック選択回路によって第4のクロックが選択され、第3のクロック選択回路によってその第3または第4のクロックが選択されて対象回路に与えられる。一方、第1のクロック選択回路が第5のクロックを選択して対象回路に与えているときには、第2のクロック選択回路によって第6のクロックが選択され、第3のクロック選択回路によってその第5または第6のクロックが選択されて対象回路に与えられる。そのため、第3及び第4のクロックばかりでなく、第5及び第6のクロックも対象回路に与えることが可能になる。

【0010】第4の発明は、インサークットエミュレータにおいて、第2の発明と同様の発振子、エミュレーション制御回路及び分周手段とを備えると共に、次のような第1及び第2の周波数選択手段、非同期クロック発生手段、及び第1～第3のクロック選択回路を設けている。前記第1の周波数選択手段は、分周手段が生成した複数の分周信号から第1のクロックの代用となる第3のクロックを選択する手段である。第2の周波数選択手段は、分周手段が生成した複数の分周信号から第2のクロックの代用となる第4のクロックを選択する手段である。非同期クロック発生手段は、第1及び第2のクロックにそれぞれ対応する非同期な第5及び第6のクロックを発生するものである。

【0011】第1のクロック選択回路は、第3のクロックと第5のクロックとを入力し、該第3または第5のクロックを選択して前記対象回路に与える回路である。第2のクロック選択回路は、第4のクロックを入力すると共に第6のクロックを入力し、第1のクロック選択回路が第3のクロックを選択しているときにはその第4のクロックを選択し、第1のクロック選択回路が第5のクロックを選択しているときにはその第6のクロックを選択して出力する回路である。第3のクロック選択回路は、第1のクロック選択回路から第3または第5のクロック

を入力すると共に第2のクロック選択回路から第4または第6のクロックを入力し、第3または第4のクロックの選択、或いは第5または第6のクロックの選択を行って対象回路に与える回路である。このような構成を採用したことにより、分周手段によって第2の発明と同様の複数の分周信号が生成され、第1及び第2の周波数選択手段により、第3及び第4のクロックが選択される。第3及び第4のクロックは同期したものであるが、非同期クロック発生手段から出力される第5及び第6のクロックは非同期である。第1のクロック選択回路が第3のクロックを選択して対象回路に与えているときには、第2のクロック選択回路によって第4のクロックが選択され、第3のクロック選択回路によってその第3または第4のクロックが選択されて対象回路に与えられる。一方、第1のクロック選択回路が第5のクロックを選択して対象回路に与えているときには、第2のクロック選択回路によって第6のクロックが選択され、第3のクロック選択回路によってその第5または第6のクロックが選択されて対象回路に与えられる。そのため、第3及び第4のクロックばかりでなく、第5及び第6のクロックも対象回路に与えることが可能になる。

【0012】

【発明の実施の形態】第1の実施形態

図1は、本発明の第1の実施形態を示すインサートエミュレータの構成図である。このインサートエミュレータは、非同期な第1のクロック CK_1 及び第2の CK_2 を持つマイクロコントローラのエミュレーションを行うものであり、所定の周波数で発振して発振信号 S_{11} を出力する発振子11を備えている。発振子11の出力側は、エミュレーション制御回路12に接続され、該エミュレーション制御回路12の出力側が、複数の縦続接続された遅延型フリップフロップ（以下、 $D-FF$ という） $13_1, 13_2, \dots, 13_N$ で構成された分周回路13の入力端子と、2入力のクロック選択回路14の一方の入力端子とに、接続されている。エミュレーション制御回路12は、エミュレーションを実行しているときに、に発振信号 S_{11} を分周回路13及びクロック選択回路14に与え、エミュレーションを中断するときには該発振信号 S_{11} を分周回路13及びクロック選択回路14に対して遮断する回路である。

【0013】分周回路13は、発振信号 S_{11} を分周してクロック CK_1 の代用となる第3のクロック CK_3 を生成するものである。分周回路13中の各 $D-FF\ 13_1 \sim 13_N$ は、クロック端子とデータ入力端子 D と正相データ出力端子 Q と反転データ出力端子 $Q/\text{}$ とをそれぞれ有している。各反転データ出力端子が該データ入力端子 D に接続されている。初段の $D-FF\ 13_1$ のクロック端子に発振信号 S_{11} が入力され、該 $D-FF\ 13_1$ の反転データ出力端子 $Q/\text{}$ が2段目の $D-FF\ 13_2$ のクロック端子に接続されている。以下、同様に各 $D-FF$

$F13_2 \sim 13_{N-1}$ の反転データ出力端子 $Q/\text{}$ が後段側の $D-FF\ 13_3 \sim 13_N$ のクロック端子にそれぞれ接続されている。最終段の $D-FF\ 13_N$ の反転データ出力端子 Q が図示しない対象回路のタイムベースカウンタやタイマ等の時間を測定する部分と、クロック選択回路14の他方の入力端子とに接続されている。クロック選択回路14は、発振信号 S_{11} をクロック CK_2 の代用となる第4のクロック CK_4 として入力し、入力されたクロック CK_3, CK_4 を選択していずれか一方を出力するものであり、該クロック選択回路14の出力側が、図示しない対象回路の命令を実行する部分に接続されている。

【0014】図4は、図1の動作を示すタイムチャートであり、この図4を参照しつつ、図1のインサートエミュレータを用いたエミュレーションを説明する。マイクロコントローラのエミュレーションを継続して行うときは、発振子11の発生する発振信号 S_{11} が、エミュレーション制御回路12を介して分周回路13に与えられる。分周回路13は、内部の $D-FF\ 13_1 \sim 13_N$ の段数に応じて発振信号 S_{11} の分周を行い、クロック CK_3 を出力する。このクロック CK_3 が、タイムベースカウンタやタイマ等に与えるクロック CK_{TBC} になる。

【0015】クロック CK_3 と発振信号 S_{11} とは、クロック選択回路14にも与えられる。クロック選択回路14は発振信号 S_{11} をクロック CK_2 の代用となるクロック CK_4 として入力し、選択により、クロック CK_3 または CK_4 のいずれかを出力する。クロック選択回路14の出力するクロック CK_3 または CK_4 が、対象回路の命令を実行する部分に、クロック CK_{CPU} として与えられる。

【0016】例えばクロック選択回路14で高速側のクロック CK_4 を選択している場合において、エミュレーションを中断するときには、エミュレーション制御回路12により、発振信号 S_{11} の分周回路13及びクロック選択回路14に対する供給が停止される。その結果、分周回路13は分周動作を行わず、該分周回路13の $D-FF\ 13_1 \sim 13_N$ の状態は中断の直前の状態に維持される。クロック選択回路14もクロック CK_{CPU} (CK_4)の対象回路への供給を停止する。エミュレーションを再開する場合には、エミュレーション制御回路12を介して、発振信号 S_{11} が分周回路13及びクロック選択回路14に供給される。これにより、分周回路13の分周動作が開始される。ここで、再開時には各 $D-FF\ 13_1 \sim 13_N$ が中断の状態から動作を開始するので、中断を挟んで再開した場合のクロック CK_{TBC} の1周期は、本来あるべき CK_{TBC} の期間 t_7 及び t_8 の合計($t_7 + t_8$)と等しく、中断を挟まない1周期の期間 t_6 と等しい。以上のように、この第1の実施形態では、発振子11の発生する発振信号 S_{11} を高速なクロ

ックCK₄とすると共に、該発振信号S11を分周回路13で分周して低速のクロックCK₃を生成するので、クロック選択回路14でクロックCK₄を選択しているときに、エミュレーションを中断して再開しても、クロックCK_{TBC}となるクロックCK₃のタイミングが、クロックCK_{CPU}に対してずれることがなくなり、エミュレーションの再現性が改善され、エミュレーションの中断を利用するプログラムのデバックが容易になる。

【0017】第2の実施形態

図5は、本発明の第2の実施形態を示すインサートエミュレータの構成図である。このインサートエミュレータは、第1の実施形態と同様に接続された発振子21及びエミュレーション制御回路22を備えると共に、第1の実施形態にはない、複数の分周信号を生成する分周手段23と、高速クロック周波数選択回路24と、低速クロック周波数選択回路25とが設けられている。分周手段23は、複数段の縦続接続された複数のD-FF23_{H1}, 23_{H2}, ..., 23_{HK}, 23_{L1}, 23_{L2}, ..., 23_{LM}を有している。D-FF23_{H1}のクロック端子は、エミュレーション制御回路22の出力端子に接続され、該D-FF23_{H1}の反転データ出力端子が、該D-FF23_{H1}のデータ入力端子D及びD-FF23_{H2}のクロック端子に接続されている。以下同様に、各D-FF23_{H2}~23_{LM-1}の反転データ出力端子Q/は、D-FF23_{H2}~23_{LM-1}のデータ入力端子Dに接続されると共に、D-FF23_{H3}~23_{LM}のクロック端子に接続されている。

【0018】各D-FF23_{H1}~23_{LM}は、エミュレーション制御回路22を介して与えられた発振信号S21を順に分周するようになっており、該各D-FF23_{H1}~23_{LM}の正相データ出力端子Qからは、複数の分周比の異なる分周信号が出力される構成になっている。各D-FF23_{H1}~23_{LM}の正相データ出力端子Qには、スリーステートバッファ26_{H1}, 26_{H2}, ..., 26_{HK}, 26_{L1}, 26_{L2}, ..., 26_{LM}がそれぞれ接続されている。これらのうちのスリーステートバッファ26_{L1}~26_{LM}は、低速クロック周波数選択回路25と相俟って第1の周波数選択手段を形成し、マイクロコントローラの低速側の第1のクロックCK₁の代用となる第3のクロックCK₃の周波数を選択する機能を有している。スリーステートバッファ26_{L1}~26_{LM}の出力端子は、図示しない対象回路のタイムベースカウンタやタイマ等の時間を測定する部分に接続されると共に、2入力のクロック選択回路27の一方の入力端子に一括して接続されている。一方、スリーステートバッファ26_{H1}~26_{HK}は、高速クロック周波数選択回路24と相俟って、第2の周波数選択手段を形成し、マイクロコントローラの高速側の第2のクロックCK₂の代用となる第4のクロックCK₄の周波数を選択する機能を有している。このスリーステートバッファ26_{H1}~26_{HK}は、クロック選択回路

27の他方の入力端子に一括して接続されている。クロック選択回路27の出力端子が、図示しない対象回路の命令を実行する部分に接続されている。

【0019】次に、図5のインサートエミュレータを用いたエミュレーションを説明する。マイクロコントローラのエミュレーションを行うときは、発振子21の発生する発振信号S21が、エミュレーション制御回路22を介して分周手段23に与えられる。分周回路23のD-FF23_{H1}~23_{HK}は発振信号S21の分周を順に行い、分周比の異なる分周信号をそれぞれ生成して正相データ出力端子Qから出力する。高速クロック周波数選択回路24は、例えばハードウェアスイッチ或いはインサートエミュレータのコマンドに応じた制御信号を送出してスリーステートバッファ26_{H1}~26_{HK}のうちの1つを選択し、分周信号の1つを選択する。この選択された分周信号がクロックCK₄となり、クロック選択回路27に入力される。分周手段23の各D-FF23_{L1}~23_{LM}は、D-FF23_{HK}の反転データ出力端子Q/から与えられた信号の分周を順に行い、分周比の異なる分周信号をそれぞれ生成して正相データ出力端子Qからそれぞれ出力する。低速クロック周波数選択回路25は、例えばハードウェアスイッチ或いはインサートエミュレータのコマンドに応じた制御信号を送出してスリーステートバッファ26_{L1}~26_{LM}のうちの1つを選択し、分周信号の1つを選択する。この選択された分周信号が、クロックCK₃としてクロック選択回路27に入力されると共に、タイムベースカウンタやタイマーに与えるクロックCK_{TBC}として対象回路に供給される。クロック選択回路27はインサートエミュレータのコマンドに応じ、入力されたクロックCK₃及びクロックCK₄のいずれか一方を選択し、命令を実行する部分に対するクロックCK_{CPU}として対象回路に出力する。

【0020】エミュレーションの中断を行う場合には、エミュレーション制御回路22が、分周手段23に対する発振信号S21の供給の停止する。これにより、分周手段23が、第1の実施形態と同様に、中断の直前の状態を維持する。エミュレーションを再開する場合には、再び分周手段23に発振信号S21が与えられ、該分周手段23が、維持された中断の状態から分周動作を開始する。分周手段23の出力する分周信号から選択されたクロックCK₃及びCK₄は同期しているので、クロック選択回路27がクロックCK₄を選択している場合でも、クロックCK₃及びCK₄のタイミングがずれることがない。以上のように、この第2の実施形態では、分周手段23、高速クロック周波数選択回路24、低速クロック周波数選択回路25及びスリーステートバッファ26_{H1}~26_{LM}を設け、周波数が異なるクロックCK₃及びCK₄を複数の分周信号から選択できる構成にしたので、第1の実施形態と同様にクロックCK_{CPU}とクロックCK

TBC とのタイミングのずれがなくなり、1 命令毎にデバックを行うようなマイクロコントローラのエミュレーションが容易にできるばかりでなく、さらに、様々な周波数を想定してプログラムのデバックを行えるようになる。

【0021】第3の実施形態

図6は、本発明の第3の実施形態を示すインサートキットエミュレータの構成図であり、第2の実施形態の図5中の要素と共通の要素には共通の符号が付されている。第1及び第2の実施形態では、クロックCK₃とクロックCK₄とが必ず同期している。これはマイクロコントローラのプログラムをデバックする場合をサポートするためであり、実際のマイクロコントローラの出力する第1及び第2のクロックCK₁、CK₂は、該クロックCK₃、CK₄とは異なって非同期である。よって、第3の実施形態は、実際のクロックCK₁、CK₂に対応する非同期な第5のクロックCK₅及び第6のクロックCK₆も、選択によって対象回路に供給できるようにしたものである。このインサートキットエミュレータは、例えば、第2の実施形態と同様の発振子21、エミュレーション制御回路22、分周手段23、高速クロック周波数選択回路24、低速クロック周波数選択回路25、及びスリーステートバッファ26_{H1}～26_{LM}を備え、これらが第2の実施形態と同様に接続されている。このインサートキットエミュレータには、さらに、非同期クロック発生手段30と、第1のクロック選択回路である低速クロック選択回路33と、第2のクロック選択回路である高速クロック選択回路34と、該低速クロック選択回路33及び高速クロック選択回路34に接続された第3のクロック選択回路36とが設けられている。

【0022】非同期クロック発生手段30は、クロックCK₅を発生する低速クロック発生回路31と、クロックCK₆を発生する高速クロック発生回路32とを有している。低速クロック選択回路33は、スリーステートバッファ26_{L1}～26_{LM}によって選択されたクロックCK₃とクロックCK₅とを入力し、エミュレーションのモードによっていずれか一方を選択して出力する。低速クロック選択回路33は対象回路のタイムベースカウンタやタイマ等に接続され、選択して出力するクロックCK₃またはCK₅をクロックCK_{TBC}として出力すると共に、該クロックCK₃またはCK₅を2入力クロック選択回路35の一方の入力端子へ与える接続になっている。高速クロック選択回路34は、スリーステートバッファ26_{H1}～26_{HM}によって選択されたクロックCK₄とクロックCK₆とを入力し、エミュレーションのモードによっていずれか一方を選択して出力するものであり、低速クロック選択回路33がクロックCK₃を選択しているときにはクロックCK₄を選択し、該低速クロック選択回路33がクロックCK₅を選択しているときにはクロックCK₆を選択するようになっている。クロ

ック選択回路34の出力端子はクロック選択回路35の他方の入力端子に接続されている。クロック選択回路35は、与えられたクロックの選択を行うものであり、クロックCK₃またはクロックCK₄を選択して一方を対象回路にクロックCK_{CPU}として出力するか、或いは、クロックCK₅またはCK₆の選択を行い、その一方を該対象回路にクロックCK_{CPU}として出力するようになっている。

【0023】次に、図6のインサートキットエミュレータを用いたエミュレーションを説明する。発振子21、エミュレーション制御回路22、分周手段23、高速クロック周波数選択回路24、低速周波数選択回路25、及びスリーステートバッファ26_{H1}～26_{LM}は、第2の実施形態と同様に動作し、周波数が可変のクロックCK₃及びクロックCK₄を選択する。中断と再開を伴うプログラムのデバックを行うエミュレーションでは、低速クロック選択回路33がクロックCK₃を選択し、対象回路へクロックCK_{TBC}として出力する。高速クロック選択回路34は、クロックCK₄を選択し、クロック選択回路35は、クロックCK₃またはCK₄のいずれか一方を選択して対象回路にクロックCK_{CPU}として出力する。中断と再開を伴わないエミュレーションを行う場合には、低速クロック選択回路33が非同期クロック発生手段30の出力するクロックCK₅を選択し、対象回路へクロックCK_{TBC}として出力する。高速クロック選択回路34は、クロックCK₆を選択し、クロック選択回路35は、クロックCK₅またはCK₆のいずれか一方を選択し、対象回路にクロックCK_{CPU}として出力する。以上のように、本実施形態では、低速クロック発生回路31及び高速クロック発生回路32を有する非同期クロック発生手段30と、低速クロック選択回路33と、高速クロック選択回路34とを設けたので、第2の実施形態と同様に、同期のとれた周波数が可変のクロックCK₃及びCK₄を対象回路に与え、中断と再開を伴うプログラムのデバックを行うことができるばかりでなく、実際のマイクロコントローラと同様に、非同期なクロックCK₅及びCK₆を対象回路に与えることができる。そのため、実際のマイクロコントローラとまったく同じ条件でのプログラムのデバックも可能になる。

【0024】なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。例えば、第3の実施形態では、第2の実施形態のインサートキットエミュレータに低速クロック発生回路31及び高速クロック発生回路32を有する非同期クロック発生手段30と、低速クロック選択回路33と、高速クロック選択回路34とを設けた例を説明しているが、第1の実施形態のインサートキットエミュレータに、低速クロック発生回路31及び高速クロック発生回路32を有する非同期クロック発生手段30と、低速クロック選択回路33と、高速クロック選択回路34とを設けてもよい。このようにすると、第1

の実施形態のインサークットエミュレータも、非同期なクロック CK_5 及び CK_6 を対象回路に与えることができるようになる。

【0025】

【発明の効果】以上詳細に説明したように、第1の発明によれば、発振子とエミュレーション制御回路と分周回路を備え、発振子の発生する発振信号を高速な第4のクロックとすると共に、発振信号を分周回路で分周して低速の第3のクロックを生成するようにしたので、マイクロコントローラの第1及び第2のクロックの代用になる第3及び第4のクロックが同期するようになり、エミュレーションを中断して再開しても、該第3及び第4のクロックのタイミングが、ずれなくなり、エミュレーションの再現性が改善され、エミュレーションの中断を利用するプログラムのデバックが容易になる。第2の発明によれば、発振子とエミュレーション制御回路と分周手段と第1及び第2のクロック周波数選択回路とを設けたので、マイクロコントローラの第1及び第2のクロックの代用となる第3及び第4のクロックが同期すると共に、周波数がそれぞれ可変になる。そのため、周波数を変化させたプログラムのデバックが可能になる。第3の発明によれば、第1の発明のインサークットエミュレータに対し、非同期クロック発生手段と、第1～第3のクロック選択回路を設けたので、同期する第3及び第4のクロックばかりでなく、マイクロコントローラと同様に非同期な第5及び第6のクロックも対象回路に与えることが可能になり、実際のマイクロコントローラに近いプログラムのデバックが行えるようになる。第4の発明によれば、第2の発明のインサークットエミュレータに対し、

非同期クロック発生手段と、第1～第3のクロック選択回路を設けたので、同期する第3及び第4のクロックばかりでなく、マイクロコントローラと同様に非同期な第5及び第6のクロックも対象回路に与えることが可能になり、実際のマイクロコントローラに近いプログラムのデバックが行えるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すインサークットエミュレータの構成図である。

【図2】従来のインサークットエミュレータの要部を示す構成図である。

【図3】図2の動作を示すタイムチャートである。

【図4】図1の動作を示すタイムチャートである。

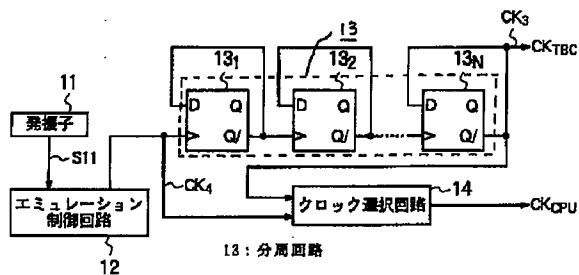
【図5】本発明の第2の実施形態を示すインサークットエミュレータの構成図である。

【図6】本発明の第3の実施形態を示すインサークットエミュレータの構成図である。

【符号の説明】

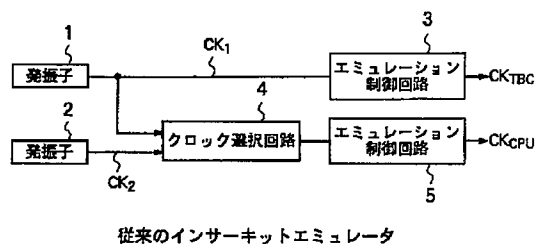
11, 21	発振子
12, 22	エミュレーション制御回路
13	分周回路
14, 27, 35	クロック選択回路
23	分周手段
24	高速クロック周波数選択回路
25	低速クロック周波数選択回路
30	非同期クロック発生手段
33	低速クロック選択回路
34	高速クロック選択回路
$CK_3 \sim CK_6$	第3～第6のクロック

【図1】



本発明の第1の実施形態のインサークットエミュレータ

【図2】



従来のインサークットエミュレータ

【図 3】

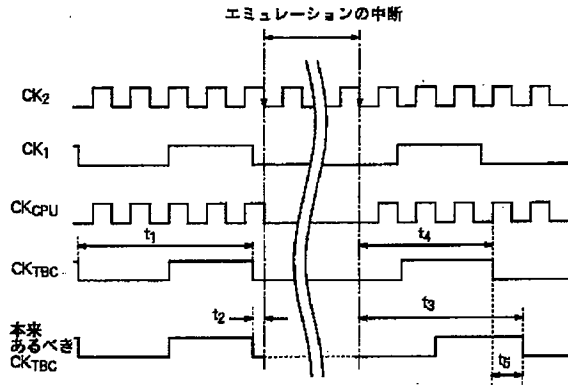
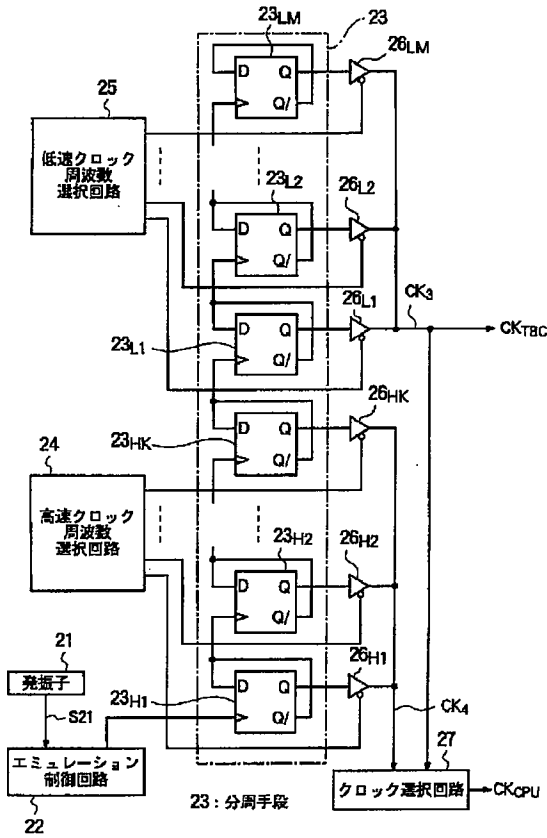


図 2 の動作

【図 5】



本発明の第 2 の実施形態のインサートエミュレータ

【図 4】

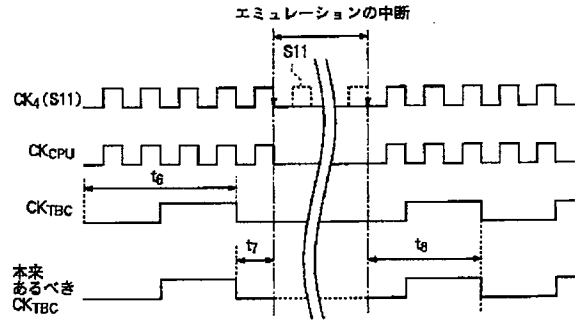
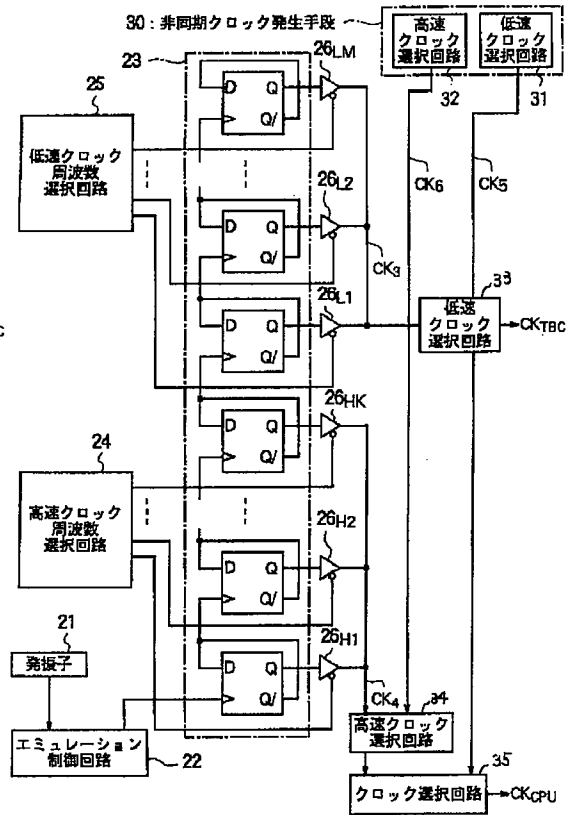


図 1 の動作

【図 6】



本発明の第 3 の実施形態のインサートエミュレータ